

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-253033

(43)公開日 平成4年(1992)9月8日

(51)Int.Cl.*	識別記号	序内整理番号	F I	技術表示面所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/1343		9018-2K	
H 0 1 L	27/12	A	8728-4M	
	21/336			
		9056-4M	H 0 1 L 29/78	3 1 1 P

審査請求 未請求 請求項の数8(全8頁) 最終頁に続く

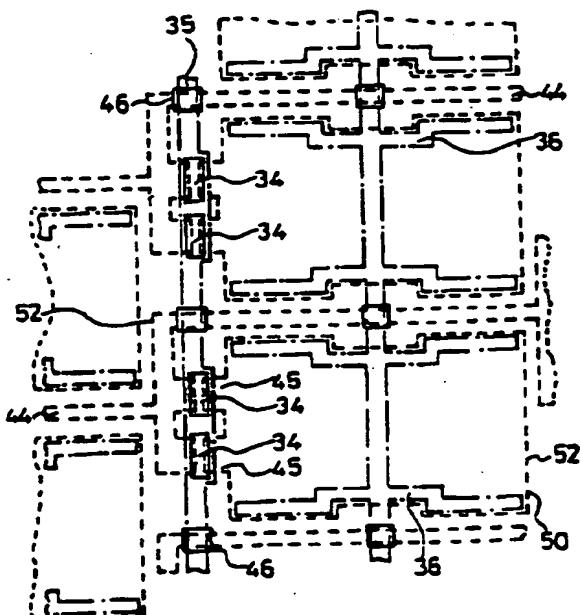
(21)出願番号	特願平3-10174	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
(22)出願日	平成3年(1991)1月30日	(72)発明者	矢野 真一 守口市京阪本通2丁目18番地 三洋電機株式会社内
		(72)発明者	高橋 英樹 守口市京阪本通2丁目18番地 三洋電機株式会社内
		(74)代理人	弁理士 西野 卓嗣

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 液晶表示装置を構成するスイッチング素子の微細化が進んでも、所定の位置にずれることなく形成する。

【構成】 ソース電極および表示電極、ドレイン電極およびドレインラインをそれぞれITOで一体に形成し、それぞれを電気的に接続する。従ってITOの上に形成される電極がずれても接続の不良が無くせる構成とする。またITOの上には、Ni等の導電材料を被覆し、特にNiはメッキで形成されるので、ずれの心配もなく抵抗値の低下を達成できる。



34: ゲート
 35: ゲートライン
 36: ストレージ電極
 44: ドレインライン
 45: TFT
 50: 長ネ電極
 52: 52

1

【特許請求の範囲】

【請求項1】 透明な絶縁性基板上に複数のドレインライン、ゲートラインが形成され、この交点にTFTのスイッチング素子と表示電極がマトリックス状に配置された液晶表示装置であって、前記TFTのゲートと一体となって前記絶縁性基板上を延在する第1層目に形成されるゲートラインと、前記ゲートラインを被うように絶縁性基板上に形成された絶縁層と、前記ゲートと対応する前記絶縁層上に形成されるアモルファスシリコン活性層、アモルファスシリコン・コンタクト層と、前記ソースに対応するアモルファスシリコン・コンタクト層上から一体となって形成される表示電極と、この表示電極と同一材料で、前記ドレインに対応するアモルファスシリコン・コンタクト層上から一体となって形成されるドレインラインとを有することを特徴とした液晶表示装置。

【請求項2】 前記アモルファスシリコン・コンタクト層のソース領域およびドレイン領域は、この上層に形成される表示電極材料とセルフアラインされていることを特徴とした請求項1記載の液晶表示装置。

【請求項3】 前記表示電極材料はITOよりなり、この表示電極表面には抵抗の低い導電材料が形成されていることを特徴とした請求項1記載の液晶表示装置。

【請求項4】 前記導電材料は、ニッケルをメッキすることで形成される請求項3記載の液晶表示装置。

【請求項5】 前記アモルファスシリコン・コンタクト層上にはクロムが形成されていることを特徴とした請求項1記載の液晶表示装置。

【請求項6】 透明な絶縁性基板上に複数のドレインライン、ゲートラインが形成され、この交点にTFTのスイッチング素子と表示電極がマトリックス状に配置された液晶表示装置であって、前記TFTのゲートと一体となって前記絶縁性基板上を延在する第1層目に形成されるゲートラインと、前記ゲートラインを被うように絶縁性基板上に形成された絶縁層と、前記TFTと対応する前記絶縁層上に形成されるアモルファスシリコン活性層と、前記TFTのソース領域およびドレイン領域と対応するアモルファスシリコン活性層上に形成されるアモルファスシリコン・コンタクト層と、前記ソースに対応するアモルファスシリコン・コンタクト層上から連続して形成され、一端が前記TFTのソース領域と対応するアモルファスシリコン活性層とセルフアラインされる表示電極と、この表示電極と同一材料で、前記ドレインに対応するアモルファスシリコン・コンタクト層上から連続して形成され、一端が前記TFTのドレイン領域と対応するアモルファスシリコン活性層とセルフアラインされるドレインラインと、前記表示電極および前記ドレインライン上に無電解メッキで形成されるニッケルとを有することを特徴とした液晶表示装置。

【請求項7】 前記ゲート端子に対応する絶縁性基板を形成しないでゲートラインを露出し、前記ゲートライン

2
は、ゲート端子またはゲート端子の下層で電気的に接続するための接続手段となることを特徴とした請求項6記載の液晶表示装置。

【請求項8】 前記ドレイン端子に対応する絶縁性基板を形成しないで前記絶縁性基板を露出し、前記ドレインラインは、この露出領域まで延在されてドレイン端子またはドレイン端子の一構成要素となることを特徴とした請求項6記載の液晶表示装置。

【発明の詳細な説明】

10 【0001】

【産業上の利用分野】 本発明は液晶表示装置に関し、特に液晶表示装置を構成するスイッチング素子の位置ずれを防止する構造で、液晶表示装置の歩留りを向上する液晶表示装置に関するものである。

【0002】

【従来の技術】 一般に液晶ディスプレイには、セグメント表示とマトリックス表示の2種類があり、ここではマトリックス表示に関して述べてゆく。特にテレビ等の精細な画像を表示する場合は、高い解像度の映像が求められ、スイッチング素子をマトリックス状に配列したアレイを用いて、液晶を直接スイッチ駆動するアクティブ・マトリックス表示が注目されるようになって来た。このアクティブ・マトリックス表示は、MOSトランジスタアレイで駆動する方法、薄膜トランジスタアレイで駆動する方法、バリスタ素子やMIM (metal insulator metal) 素子を用いて駆動する方法に大別できる。以上の事柄は、例えば株式会社工業調査会が発行した「液晶の最新技術」や日経BP社が発行した「フラットパネル・ディスプレス1991」等に詳しく述べられている。

30 【0003】 これらの液晶ディスプレイは、画素数の向上、歩留りの向上およびコストの低下等の色々な問題点を解決し、飛躍的に改善してゆく必要がある。特に画素数の向上を行うには、素子を微細化し、また素子を構成する導電部や活性領域の位置ずれ防止、断線防止、ショートの防止および特性改善等を至急に対策してゆく必要がある。以下にこれらの問題点を具体的に説明するために、特開昭62-276526号公報、ここではTFTを利用したアクティブ・マトリックス液晶表示装置で説明されている、を活用しながら説明してゆく。

40 【0004】 先ず図14において、図番(10)はガラス等の透明な絶縁基板である。この絶縁基板(10)上面に、ITOより成る透明導電膜(11)およびCr, Ni, Mo等より成る金属膜(12)を形成し、この積層された各膜(11), (12)をフォトリソグラフィによりエッチングし、画素電極部(13)をマトリックス状に形成する。またこの画素電極(13)に対応するゲート電極(14)およびゲートライン(15)を形成する。

50 【0005】 ここでは、レジスト塗布、露光、現像処理により金属膜(12)上にレジストパターンを形成し、

露出した金属膜(12)および下層の透明電極(11)をエッティングし、ゲート電極(14)、ゲートライン(15)および画素電極部(13)を形成している。続いて、図15の如く、金属膜(12)を覆うように、ゲート絶縁膜(16)および2層のアモルファスシリコン層(17)、(18)をプラズマ・CVD法で連続して積層形成する。ここでゲート絶縁膜(16)はシリコン窒化膜であり、アモルファスシリコン層は、活性アモルファスシリコン層(17)とイオンをドープしたアモルファスシリコン層(18)より成る。そして積層されたゲート絶縁膜(16)および2層のアモルファスシリコン層(17)、(18)をフォトリソグラフィにより処理し、ここではゲート電極(14)およびゲートライン(15)を覆う部分のみにゲート絶縁膜(16)および2層のアモルファスシリコン層(17)、(18)が残るよう処理する。

【0006】次に図16の如く、アモルファスシリコン層(17)、(18)を覆うようにアルミニウムを蒸着し、フォトリソグラフィによりレジスト膜(19)を形成し、アルミニウムより成る金属膜(20)をエッティングして、ドレイン電極(21)、ドレインライン(22)およびソース電極(23)を形成する。更に図17に示すように、レジスト膜(19)を残した状態で、表面に露出しているイオンをドープしたアモルファスシリコン層(18)および画素電極部(13)の金属膜(12)を、エッティングで除去する。

【0007】最後に、レジスト膜(19)を除去すると図18の如く、絶縁基板(10)の上面に透明な画素電極(24)が形成され、この画素電極(24)に対応してTFTが電気的に接続された状態に形成される。

【0008】

【発明が解決しようとする課題】前述した製造方法では、次の問題が発生する。図16に於いて、レジスト(19)のバターンずれにより、画素電極(13)上にレジストが被着されないと、アルミニウム(20)は画素電極(13)と電気的に接続されない状態で形成される問題が生じる。

【0009】従来例でも述べた様に、画素数の向上を達成するには、素子を微細化する必要があり、この微細化に伴い、前述した液晶表示装置の構成部のいずれは顕著になる。従って歩留りの低下を招く問題を有する。

【0010】

【課題を解決するための手段】本発明は前述の課題に鑑みて成され、ソースに対応するアモルファスシリコン・コンタクト層から表示電極(50)を、またドレインに対応するアモルファスシリコン・コンタクト層からドレインライン(44)を表示電極(50)の材料で形成することによって解決するものである。

【0011】また表示電極(50)の材料は、例えばITOより成り抵抗が高いため、このITO上には抵抗を

下げるために抵抗の低い導電層(56)を被着して高抵抗化の問題を解決している。しかも前記導電層(56)をNiの無電解メッキで形成すると、NiはITO上にだけ成膜されるため、導電層(56)とITOのいずれは全く生じなくなる。

【0012】

【作用】前述した如く、表示電極(50)材料でソースと表示電極(50)を一体で形成するため、ソースと表示電極(50)との電気的接続は、全く問題が無くなる。またドレインとドレインライン(44)の電気的接続も全く問題が無くなる。しかも表示電極(50)材料が形成された領域は、導電材料が被着されているので、ソース、ドレインおよびドレインラインは、アルミニウム等の金属で形成した時の抵抗値と全く同等になる。従って液晶表示装置の歩留り低下を防止できる。

【0013】

【実施例】以下本発明について説明する。前述の説明からも明らかな如く、本発明は、透明の絶縁性基板上にマトリックス状に形成されるスイッチング素子やこのスイッチング素子と電気的に接続される行ラインまたは列ラインが複数の層に分けて形成される液晶装置、例えばTFTを用いたもの、TFTを用いたもの等において、優れた効果を有する。先ず具体的に、TFTを使った液晶装置の製造方法を図1から図9を参照しながら説明してゆく。

【0014】まず、光を透過する絶縁性基板(31)を用意し、洗浄を行う。次にホトレジスト(32)を塗布し、ゲート、ゲートライン、およびストレージ電極に対応するレジストを除去して、パターニングし、全面にゲート材料(33)を全面に被着する。ここでは、ゲート材料としてアルミニウムおよびチタンまたはアルミニウムおよび銅を使いスパッタリング法で形成する。ここまでを図1に示した。以下図面は、波線で左右を分断しており、左側がトランジスタを示し、右側がドレイン端子を示している。

【0015】続いて、前記レジストの剥離を行う。図2に示すようにレジストは全て剥離され、同時にレジスト(32)間にゲート(34)、ゲートライン(35)およびストレージ電極(36)が形成される。図11は、セルの拡大平面図であり、このゲート(34)およびゲートライン(35)が上下に一点破線で示されている。またストレージ電極(36)が一点破線でフィッシュボーンの様に上下に形成されている。以上の工程は本発明の第1の特徴となる工程であり、いわゆるリフトオフ法にて形成されるために、ゲート(34)、ゲートライン(35)およびストレージ電極(36)のステップははだらかに形成される。つまり図1の如く、レジスト(32)がゲート材料の形成の際に、壁となり、レジストと隣接した領域にゲート材料が回り込みにくくなるためである。

【0016】続いて、図12の端子部、ここではゲート端子(37)およびドレイン端子(38)を被うリング状のマスク、例えばメタルマスク(39)を形成し、絶縁膜(40)例えばシリコンチッカ膜、アモルファスシリコン膜(41)、高濃度のN型のアモルファスシリコン膜(42)を形成する。またこの上にクロム膜(43)が形成されるが連続で形成されてもよいし、スパッタリングで形成されてもよい。

【0017】本工程でメタルマスク(39)を用いている理由は、ドレインライン(44)とドレイン端子(38)、ゲートライン(35)とゲート端子(37)を接続する際に、コンタクト孔を形成しないためである。またCVD等で約300度まで上昇するためである。もしメタル以外でもこの高温度に耐え得る材料があれば、これをマスクとしてもよい。従来、液晶装置は、図13のように形成されている。中央のマトリックス状に形成されている小さな四角形は、TFTおよびこのTFT周囲に形成される表示電極、ゲートライン(100)、ドレインライン(101)、補助容量および補助容量ライン(102)を一組としたものであり、左右にはドレインライン(101)が伸び、ドレイン端子(103)に接続され、この間には、救済ライン(104)が横切って形成されている。一方、上下にはゲートライン(100)及び補助容量ライン(102)が伸び、ゲートライン(100)はゲート端子(105)と接続され、補助容量ライン(102)は、ゲートライン(100)を横切るように接続ライン(106)で並行に接続されている。このドレインライン(101)と救済ライン(104)、接続ライン(106)とゲートライン(100)はクロスするために、同層では形成できずクロスオーバーされている。従って一本のゲートラインに対して、上と下に例えば2つのコンタクトホールが形成される。また一本のドレインライン(101)に対して、左右に例えば2対のコンタクトホールが形成される。このコンタクトホールは、画素数の増大および微細化に伴い、歩留りの低下を招く。つまりコンタクトホールの数が非常に多く、しかも非常に小さいために、コンタクトホールの形成不良、コンタクト不良および工程数増加に伴う不良を招く。どのようにコンタクトするかは、以下の工程の説明にて説明されるので、ここでは省略する。

【0018】続いて、前記メタルマスク(39)を除去し、図11のゲート(34)上に長方形の実線で示されている形状を達成するために、フォトレジストの塗布、露光、現像を行い、TFT(45)のゲートに対応する領域のみを残し、前記クロム膜(43)、アモルファスシリコン(42)、(41)をケミカルエッティングする。またここでは、ゲートライン(35)とドレインライン(44)の交差部(46)も実線のようにエッティングする。続いて前記レジストを除去する。以上は、図4を参照。

【0019】続いて図5の如く、透明電極材料、ここではITO(47)を全面に形成する。更に、図6のように、ドレイン電極(48)、ドレインライン(44)、ソース電極(49)、表示電極(50)およびドレイン端子(38)、ゲート端子(37)に対応する領域上にレジスト(51)が残るようにバターニングする。前記ITO(47)をエッティングした後、前記レジスト(51)を使い、TFT(45)のチャンネルに対応する前記クロム膜(43)およびアモルファスシリコン膜(42)をエッティングし、前記レジスト(51)を剥離する。この結果、ソースとドレインに対応するアモルファスシリコン・コンタクト層が形成され、図7のような形状が達成される。

【0020】ここではレジスト膜、ニッケル膜(56)およびITO(47)をマスクにして、セルフアラインでアモルファスシリコン膜(42)のチャンネル領域をエッティングできるので、このエッティング領域のずれの問題が全くなくなる。また図11に於て、ITO(47)は、破線で示した図番(52)が相当し、ドレインライン(44)、このドレインライン(44)と一体となって形成されるドレイン電極領域、表示電極(50)、この表示電極と一体となって形成されるソース電極領域およびドレインライン(44)と一体となって形成されるドレイン端子領域が連続して形成される。

【0021】本工程により達成される構造は、本発明の特徴となる点である。つまりドレイン電極(48)に対応する領域とドレインライン(44)に対応する領域は、ITOで一体で形成されるため、必ず電気的に接続される。またソース電極(49)に対応する領域と表示電極(50)は、ITOで一体で形成されるため、必ず電気的に接続される。特に従来では、ソースをメタルで形成し、表示電極をITOで形成しているので、マスク合せ精度によりソースと表示電極が接觸しない場合が生じる。

【0022】ここで図12に示す救済ライン(53)は説明を省略したが図1の工程において、ゲートと同一材料で構成され、第1層に形成される。しかも図3のようにメタルマスク(39)でドレイン端子領域の絶縁膜(40)が形成されないので、従来例とは異なりコンタクトホールを形成せずに電気的にドレインラインとドレイン端子を接続できる。図9から端子部は、ITOとクロムの2層構造であるが、クロムを省略しても良いし、ITOを端子部まで延在させず、ITOとコンタクトしているクロムのみを端子部に延在させても良い。また補助容量ライン(54)も図1の工程で第1層目に形成され、しかも図3のようにメタルマスクで被われているので、ゲートラインの端子部近傍の表面は絶縁膜(40)で被われず露出している。従って図5及び図6の工程により、コンタクトホールを形成せずにゲート端子(37)とゲートライン(35)を電気的に接続できる。こ

の構造を図10に示す。ここではゲートライン、ITO、Niの3層構造であるが、ゲートラインのみを端子部へ延在させてても良いし、図10においてNiを省略しても良い。

【0023】更に、図8のように、画素電極となる領域のみをレジスト(55)で形成し、全面にニッケル(56)を形成する。ここでニッケルは、無電解メッキで形成され、ドレイン電極(48)、ドレインライン(44)、ソース電極(49)およびドレイン端子(38)上に形成され、これらの抵抗の低下のために成される。本工程により達成される構造は、本発明の特徴とする点であり、ITO上には、無電解メッキでニッケルが形成できるため、いわゆるセルフアラインの機能を有して形成できる。ドレイン電極(48)、ドレインライン(44)、ソース電極(49)が下層のITOとずれることなく形成できる。

【0024】Niメッキ法は、先塩化バラジウムに漫し、ITOの表面にPdを還元析出させ、その後に無電解メッキ液に入れ、触媒のPd上にNiを析出させる。メッキ液は、硫酸ニッケル、塩化ニッケル、スルファミン酸ニッケル、塩化アンモニウム、ほう酸、光沢剤、ピット防止剤等が適当に選択されて構成されている。一般に、プラスチック表面のNiメッキの場合は、塩化スズを吸着させてから、前述の方法を行うが、ITOの場合スズを有しているので、ここでは省略をしている。

【0025】従ってソース電極と表示電極、ドレイン電極とドレインラインは必ず電気的に接続され、しかもニッケルにより、これらの電極の抵抗を通常の電極並みに下げる事ができる。またニッケルには限定せずアルミニウム、モリブデン、アルミニウム、チタン等の金属を被着させても良い。最後に、前記レジスト(55)を除去し、図9には示されていないがオーバーコートがほどこされ、対向電極が形成される対向基板と本基板(31)が貼り合わされ、中に液晶が注入されて完成される。

【0026】

【発明の効果】以上の説明からも明らかな様に、ソース電極および表示電極、ドレイン電極およびドレインラインは、ITOで連続して形成できるので、フォトリソグラフィ等のパターンずれによる接触不良を全く無くせる

特徴を有する。しかもITOの上には、導電材料が被着されており、従来より用いられている金属と同等の抵抗値を有する特徴を有する。

【0027】更には、この導電材料およびITOをマスクにして、アモルファスシリコン・コンタクト層がセルフアラインで形成できる特徴を有する。従って微細化が進む本液晶表示装置に於て、フォトリソグラフィ等のズレによる不良が無くせ、歩留りを向上できる。

【図面の簡単な説明】

10 【図1】本発明にかかる液晶表示装置の断面図である。

【図2】本発明にかかる液晶表示装置の断面図である。

【図3】本発明にかかる液晶表示装置の断面図である。

【図4】本発明にかかる液晶表示装置の断面図である。

【図5】本発明にかかる液晶表示装置の断面図である。

20 【図6】本発明にかかる液晶表示装置の断面図である。

【図7】本発明にかかる液晶表示装置の断面図である。

【図8】本発明にかかる液晶表示装置の断面図である。

【図9】本発明にかかる液晶表示装置の断面図である。

【図10】本発明にかかる液晶表示装置の断面図である。

30 【図11】本発明にかかる液晶表示装置の平面図である。

【図12】本発明にかかる液晶表示装置の概略平面図である。

【図13】従来の液晶表示装置の概略平面図である。

【図14】従来の液晶表示装置の断面図である。

【図15】従来の液晶表示装置の断面図である。

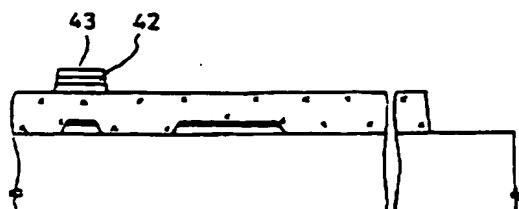
【図16】従来の液晶表示装置の断面図である。

【図17】従来の液晶表示装置の断面図である。

【図18】従来の液晶表示装置の断面図である。

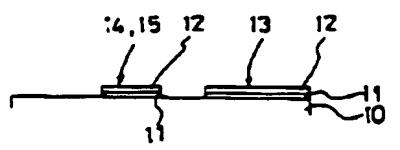
40

【図4】

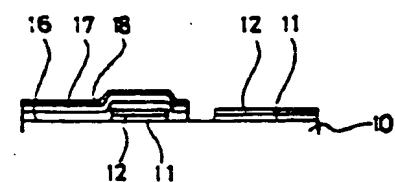


42: Niアモルファスシリコン層
43: Cr

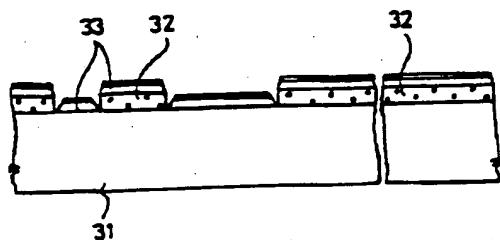
【図14】



【図15】

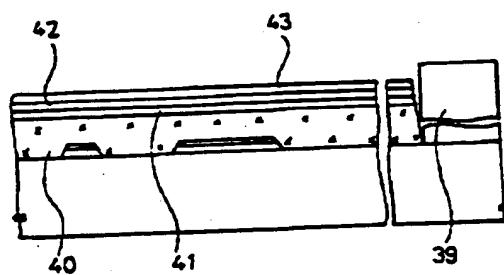


【図1】



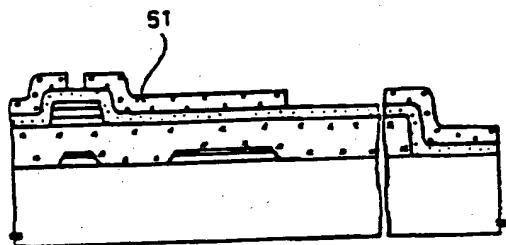
31: 線維性基板
32: ホトレジスト
33: ゲート材料

【図3】



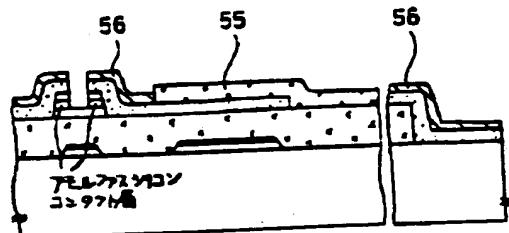
39: ポリエチレン
40: 線維膜
41: アセルファスシリコン膜
42: N⁺アセルファスシリコン膜
43: Cr

【図6】



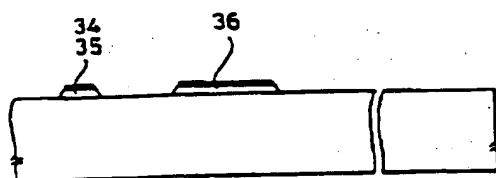
51: レジスト

【図8】



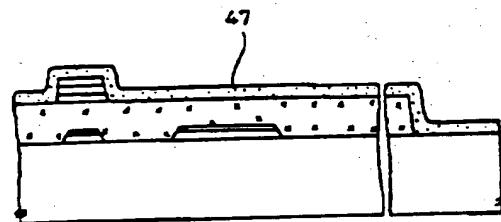
55: レジスト
56: Ni

【図2】



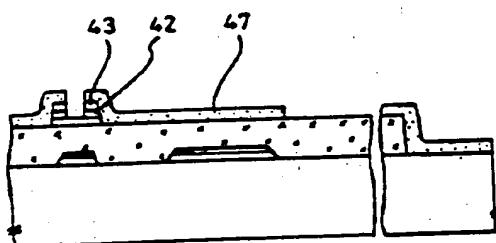
34: ゲート
35: ゲートライン
36: ストレージ電極

【図5】



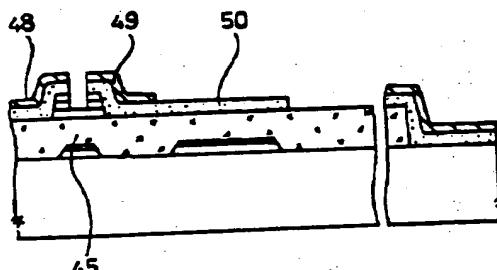
47: ITO

【図7】



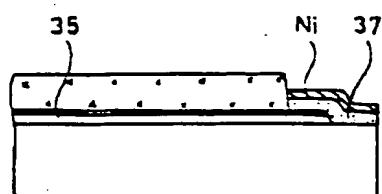
42: N⁺アセルファスシリコン膜
43: Cr
47: ITO

【図9】



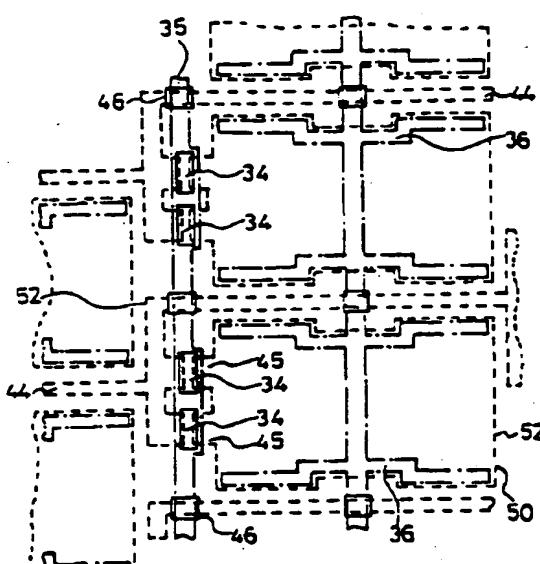
45: TFT
49: ソース電極
50: 指示電極
48: ドレイン電極
51: 表示電極

【図10】



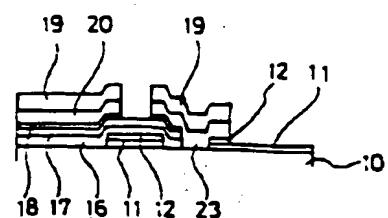
35: ゲートライン
37: ゲート端子

【図11】

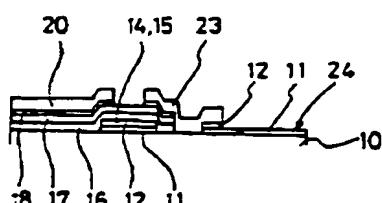


34: ゲート
36: ストレージ電極
45: TFT
50: 表示電極

【図17】

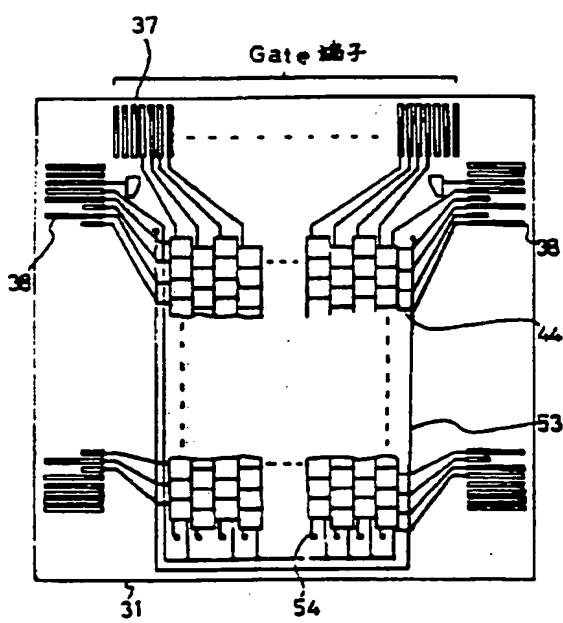


【図18】



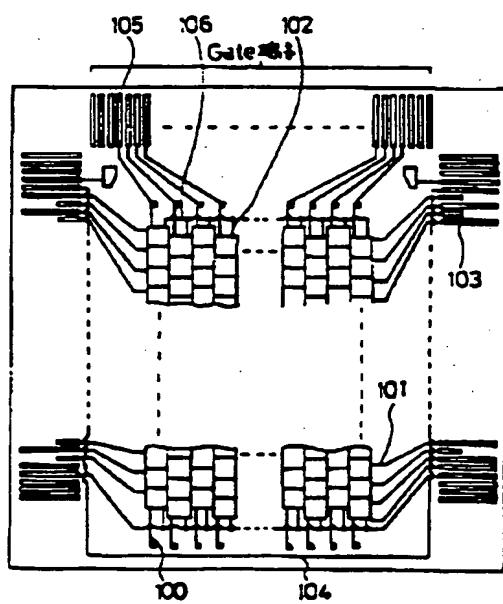
20
14,15
23
12
11
24
10
18
17
16
12
11

【図12】



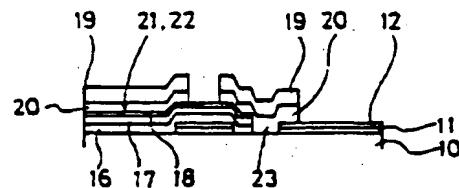
31: 地電位基板
38: ドレイン端子
53: 互清ケイン
37: ゲート端子
44: ドレインライン
54: 構造容量ライン

【図13】



100: ゲートライン
102: 構造容量ライン
104: 反省ライン
105: ゲート端子
101: ドレインライン
103: ドレイン端子
106: 構造ケイン

【図16】



フロントページの続き

(51) Int.Cl.

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784